

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02246093 A**

(43) Date of publication of application: 01 . 10 . 90

(51) Int. Cl.

G11C 11/417**G11C 11/409****H03K 5/02****H03K 19/017**

(21) Application number: 01063881

(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**

(22) Date of filing: 17 . 03 . 89

(72) Inventor: **FURUKAWA CHIAKI**

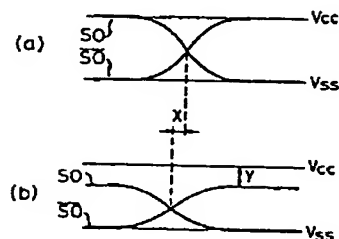
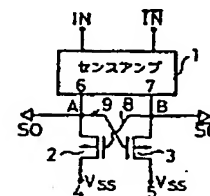
(54) SEMICONDUCTOR CIRCUIT

COPYRIGHT: (C)1990,JPO&Japio

(57) Abstract:

PURPOSE: To shorten a data inverting time in a sense amplifier by respectively connecting field effect transistors (TR) in the same type between the respective complementary output terminals of a complementary output circuit and a power source terminal, connecting respective gates to the other output terminals, and restricting the amplitude of a complementary signal.

CONSTITUTION: Complementary fine voltages stored through a differential amplifier into a memory are respectively inputted to inputs IN and IN' of a sense amplifier 1. The sense amplifier has a function to amplify the voltage, connects one of the drain or source of field effect TRs 2 and 3 to respective complementary output terminals 6 and 7, and connects the source or drain of the TRs 2 and 3 to power source terminals 4 and 5. In such a case, since the amplitude of the output terminal voltage is narrowly composed, the inversion of the output can be fast detected by an X. Thus the inverting time of the output data of the sense amplifier can be shortened.



(2)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-246093

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月1日

G 11 C 11/417

11/409

H 03 K 5/02

19/017

L

7631-5 J

8326-5 J

8522-5 B

8522-5 B

G 11 C 11/34

3 0 5

3 5 4 A

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体回路

⑯ 特 願 平1-63881

⑰ 出 願 平1(1989)3月17日

⑱ 発 明 者 古 川 千 秋

愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社

神奈川県川崎市中原区上小田中1015番地

⑳ 出 願 人 富 士 通 ヴ ィ エ ル エ ス ア
イ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

㉑ 代 理 人 弁 理 士 青 木 朗 外4名

明 細 書

1. 発明の名称

半導体回路

2. 特許請求の範囲

1. 相補出力回路の各相補出力端子と電源端子との間に同一タイプの電界効果トランジスタをそれぞれ接続するとともに該トランジスタの各々のゲートは互に他方の該出力端子と接続され、相補信号の振幅が制限されていることを特徴とする半導体回路。

2. 該トランジスタはPチャネル型電界効果トランジスタでありかつ電源端子は低電位側電源端子であることを特徴とする請求項1記載の半導体回路。

3. 該トランジスタはNチャネル型電界効果トランジスタでありかつ電源端子は高電位側電源端子であることを特徴とする請求項1記載の半導体回路。

3. 発明の詳細な説明

〔概 要〕

本発明は特に演算回路に使用される半導体回路に関し、

演算回路における出力信号の反転時間を短縮することを目的とし

相補出力回路の各々の相補出力端子と電源端子との間に同一タイプの電界効果トランジスタをそれぞれ接続せしめ、かつ該トランジスタの各々のゲートは互に他方の出力端子と接続され、相補信号の振幅が制限されるように構成する。

〔産業上の利用分野〕

本発明は特に演算回路に使用される半導体回路に関するものである。

〔従来の技術〕

近々、LSIを主体とする回路特にメモリー等の大型演算回路においては演算速度の高速化に対する要求が一層強くなってきている。処で従来例

例えばスタティックRAM等のメモリー回路に使用されているセンスアンプはメモリー内の微小電圧信号を後段の例えばC-MOS回路を作動するのに必要な電位差をもつように増幅しているものでありセンスアンプでの出力データーの反転をアドレストランジションディテクター(ATD)回路から発生されるクロックによって行っている。然しながらクロックを使用して出力データーを反転させる場合には通常4~5nsのクロックが使用されるが該クロックが入力されている間はアクセスされず、クロックが抜けた後反転動作が行われることからクロックの幅が問題となる。そこで演算回路の高速化が進みアドレスアクセスが15ns以下を目標とするデバイスにおいては、従来のようなATD回路から発生される上記のようなクロックを用いたのではクロックの幅が太すぎたり、クロックの発生速度が遅いため高速化には限界があった。又この目的のためクロックの幅を狭くすることが考えられるが、電源マージン或は温度マージンを考慮すると該クロックの幅をある一定値以下にする

いるデーターを読み出すのに使用されセンスアンプのような相補的なデーター出力を行う回路の両出力端子に同一チャネル型の電界効果トランジスタ例えばNOSFETとした時にはPチャネルNOSFET、或はNチャネルNOSFETのいずれか一方を接続しかつそのゲートを互にたすきがけ状にして当該トランジスタが接続している出力端子とは異なる他の出力端子に接続したものである。

本発明においては相補出力端子の各々には各トランジスタのゲートを除く電極の一方が接続され、又各トランジスタのゲートを除く他方の電極を電源に接続されるものである。この場合電界効果トランジスタがPチャネルのものであれば電源は低電位側となりNチャネルであれば逆となる。

本発明において、該回路の出力は、該各相補出力端子部と該トランジスタとの接続ノード部A、Bから取り出すことにより、各相補出力の反転を認識することが出来る。本発明ではこのように回路を組むことにより相補出力SO、SUの相互の電位差を従来のものより減少させることが可能と

ことは困難であった。

そのためクロックを用いずにセンスアンプにおける出力データーの反転を高速に行うことの出来る技術の開発が要求されていた。

〔発明が解決しようとする課題〕

本発明の目的は上記従来の欠点を改良し、クロックを用いずにセンスアンプの出力データーの反転時間を短縮することが出来る演算回路を提供しようとするものである。

〔課題を解決するための手段〕

本発明は上記目的を達成するため次のような構成を有するものである。即ち相補出力回路の各々の相補出力端子と電源端子との間に同一タイプの電界効果トランジスタをそれぞれ接続せしめ、かつ該トランジスタの各々のゲートは互に他方の該出力端子と接続され、相補信号の振幅が制限されている半導体回路である。

即ち本発明においては、メモリーに記憶されて

なる。

〔作 用〕

本発明においては、上記のような構成を採用したことによりクロックパルスを使用しなくても、該相補出力回路の相補出力端子間の出力レベルの差を縮小される事によりデーターの反転を短縮される事が出来る。

従って従来の方式に比べて出力の反転を認識する時間が早められ、

よって出力の反転に要する時間を短縮することが可能となる。

〔実施例〕

以下に本発明に係る半導体回路の具体例を図面を参照しながら説明する。

第1図は本発明に係る半導体回路の1実施例を示すものであり相補出力回路の1例としてメモリーの読み出し回路に適用したセンスアンプ1を示している。

該センスアンプ1はその入力IN及びINに、バイポーラ C-MOS等から構成される差動アンプ(図示せず)を介してメモリに記憶されている相補的な微小電圧がそれぞれ入力される。

該センスアンプはこれをCMOSレベルまで増幅する機能を有するものである。かかるセンスアンプ1において、その相補出力端子6及び7のそれぞれに電界効果トランジスタ2、及び3のドレイン又はソースの一方を接続し、該トランジスタ2、3のソース又はドレインを電源端子4、及び5と接続する。

本発明における該トランジスタ2、3は同一タイプの電界効果トランジスタ(FET)であることが必要である。

つまり該電界効果トランジスタ(FET)がMOS型FETである場合には、そのいずれもがPチャネルMOSトランジスタかNチャネルMOSトランジスタである。又該トランジスタ2、3のゲート8、及び9は、当該トランジスタが接続している相補出力端子とは異なる他の相補出力端子に接続

されている。

即ちトランジスタ2のゲート8は相補出力端子7に又、トランジスタ3のゲート9は他の相補出力端子6にそれぞれ接続されるように構成する。つまりゲートの接続は互にたすき掛け状とするものである。又、本発明において使用される電界効果トランジスタの能力としては、それが導通状態にある時に、センスアンプの相補出力端子から供給される電流の一部を吸収しうる程度に設定されていることが好ましい。

第1図においてはPチャネル型MOSトランジスタを用いて構成した回路の具体例が示されている。

又、Nチャネル型MOSトランジスタを用いて構成した他の回路が第4図に示されている。

尚本発明において、該センスアンプの出力は、該相補出力端子とトランジスタとの接続ノード部A及びB(つまり他のトランジスタのゲートとの接続部でもある)から取り出すことが出来る。

次に本実施例の半導体回路の作動について説明

する。

第2図(a)は本発明に係る電圧振幅縮小回路を使用しない従来の方式における相補出力端子の電圧変化を示す図であり、第2図(b)は本発明における同様の電圧変化を示したものである。

まず第1図において相補出力端子6がHで同出力端子7がLであるとする、MOSFET2はPチャネル型であるからゲートがLであるため導通しセンスアンプ1の端子6から供給される電流を引張り込む、しかしながら上述したようにMOSFET2における導通量は端子6から供給される電流のごく一部となるように設定されているためノードAにおいてはLとはならず第2図(a)のレベルから第2図(b)に示すように電圧レベルがYだけ減少はするがHレベルを維持したままとなる。

従ってMOSFET3は非導通の状態を続けるためノードBにおいては、Lの状態が継続される。そのため該相補出力端子6、7の出力SO、 \overline{SO} は第2図(b)の左側の状態を示している。つまり相補出力端子6、7の電圧は従来のもの(第2図

(a))に比べて出力振幅は縮小しうるものであり本実施例では従来の方法よりSOの出力電圧を1V程度低くすることが可能となった。

その後メモリの読み出しが変り入力IN、 \overline{IN} の入力電圧が変化したとすると相補出力端子6の電圧が下降し始め反対に相補出力端子7の電圧が上昇するが上記回路の作動により両出力端子の出力波形は第2図(b)のようになり、最終的に該出力端子電圧が反転した時でもSOの電圧は同図に示すように従来の電圧より低く出来る。つまりV_{cc}よりも1V低い電圧に維持することが出来る。

本実施例においては出力端子電圧の振幅が狭くなるように構成されているため出力の反転をXだけ早く検出することが可能となる。そこで本実施例において出力電圧のHからLに変化する処をあるしきい値電圧で把握して反転を検出するように設計しておけば第2図(b)におけるデータ反転の時間は早められるため回路の演算速度はそれだけ高速にしうる。

本発明に使用されるセンスアンプの回路の例を第5図に示しておく。

同図に於いて、 ϕ はクロックでHの時には該センスアンプはリセットされ、Lの時には、該センスアンプは動作状態となる。

尚本実施例とは別にMOSFETとしてNチャネル型のものを使用することが出来るがこの場合にはNチャネルMOSFETトランジスタのドレイン側を高電位側電源端子に接続する必要があり、又出力 S_0 、 $\overline{S_0}$ の波形は第2図(b)とは逆に V_{ss} 側がかさ上げされることになるため反転の検出は出力レベルがLからHとなる処で把握するよう設計することが必要となる。

S_0 、 $\overline{S_0}$ の出力変化は例えば第3図に示すような一般的なDoutバッファ回路10を用いてその出力の変化を出力(Dout)として取り出すように構成してもよい。この場合のDoutバッファの論理は S_0 、 $\overline{S_0}$ の双方がHの時にはMOSTランジスタC、又はDのゲートはHとならずDoutはH1-Zとなり、出力は出ない。

力波形を示す図であり第2図(b)は本発明におけるセンスアンプの出力波形を示す図である。

第3図はセンスアンプの出力により駆動されるバッファ回路の例を示す図である。

第4図は本発明における半導体回路の他の実施例を示す図である。

第5図は本発明で使用されるセンスアンプの回路例を示す図である。

- 1…センスアンプ、
- 2、3…電界効果トランジスタ、
- 4、5…電源端子、 6、7…相補出力端子、
- 8、9…ゲート
- 10…Doutバッファ。

S_0 、 $\overline{S_0}$ のいずれか一方がLとなったのを検知してDoutからH又はLの信号が出力されるような論理構成とすることが出来る。

本発明に係る半導体はセンスアンプの出力側に適用する例として説明して来たが本発明機能が発揮しうる範囲内であればいかなる分野にでも適用しうることは明らかである。

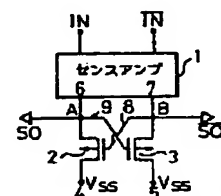
(効果)

本発明は上記のような構成と作用を有するものであるため、クロックを使用せずしかも相補出力電圧の振幅を小さくなるように抑えてあるので比較的スピードロスの大きいセンスアンプにおけるデータ反転時間を短縮することが出来る他、クロックを使用しないため回路が簡略化されしかも消費電流を現象させることも出来る。

4. 図面の簡単な説明

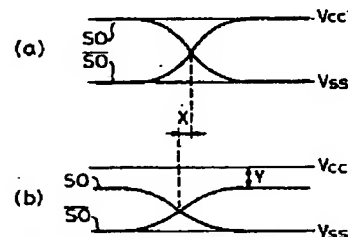
第1図は本発明における半導体回路の1実施例を示す図である。

第2図(a)は従来におけるセンスアンプの出力



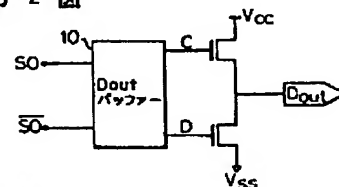
本発明における半導体回路の1実施例を示す図

第1図

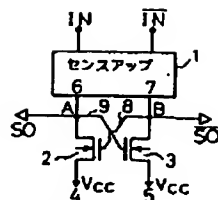


センスアンプからの出力波形を示す図
(a)は従来の回路、(b)は本発明の回路による波形をそれぞれ示す。

第2図

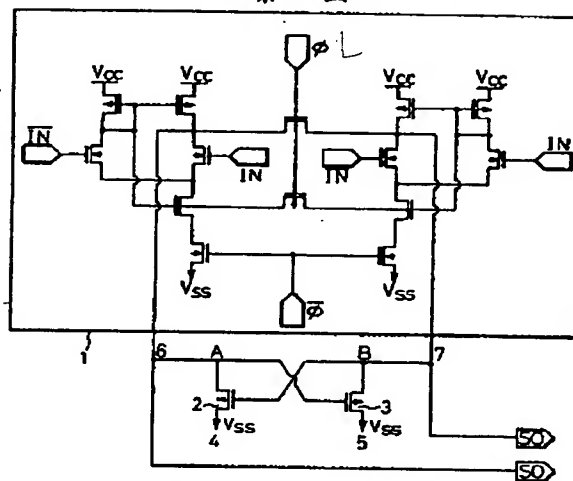


第3図



本発明における半導体回路の他の実施例を示す図

第4図



本発明に使用されるセンスアップの回路の例を示す図

第5図

